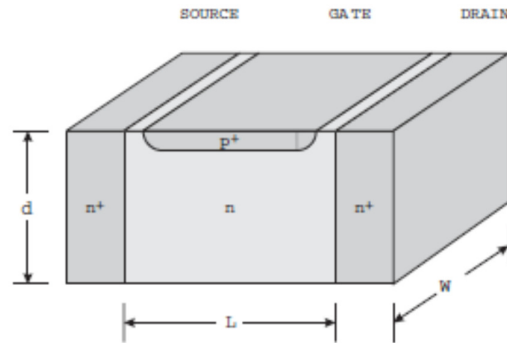


## Transistor JFET (Junction Field Effect Transistor)



Canale tipo  $n$  (lunghezza  $L$ ), annegato in un substrato di tipo  $p$ :

Source - Channel - Drain

$n^+$        $n$        $n^+$

Gate: Strato  $p^+$

→ Giunzione fra gate e canale, usata  $\sim$  sempre in pol. inversa

$V_{GS} = 0$ :

$$I_D = I_D(V_D) \rightarrow \begin{array}{ll} \text{Reg. 'ohmica':} & I_D \propto V_D \\ \text{Reg. 'saturazione':} & I_D \approx \text{costante} \end{array} \quad \begin{array}{l} V_{DS} < |V_P| \\ V_{DS} > |V_P| \end{array}$$

$-|V_P| < V_{GS} < 0$ :

$$I_D = I_D(V_D) \rightarrow \begin{array}{ll} \text{Reg. 'ohmica':} & I_D \propto V_D \\ \text{Reg. 'saturazione':} & I_D \approx \text{costante} \end{array} \quad \begin{array}{l} V_{DS} < |V_{GS} - V_P| \\ V_{DS} > |V_{GS} - V_P| \end{array}$$

$V_{GS} = -|V_P|$ : Tensione di *pinch-off*

→ Canale completamente svuotato  $\rightarrow I_D = 0$

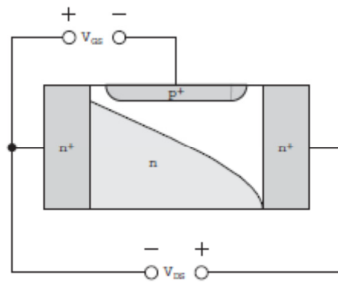
$V_P \equiv V_{pinch-off} \sim$  Alcuni Volt

← Pot. che garantisce completo svuotamento del canale per  $V_{GS} = 0$

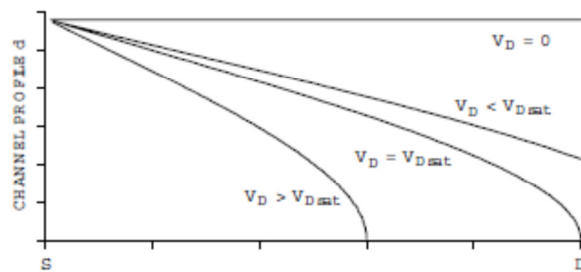
$V_{bi}$  = Pot. 'built-in'  $\leq 1$  V per Si

← Pot. giunzione in assenza di polarizzazione esterna

Profilo di concentrazione nel canale per  $V_{GS}$  generica  $< 0$

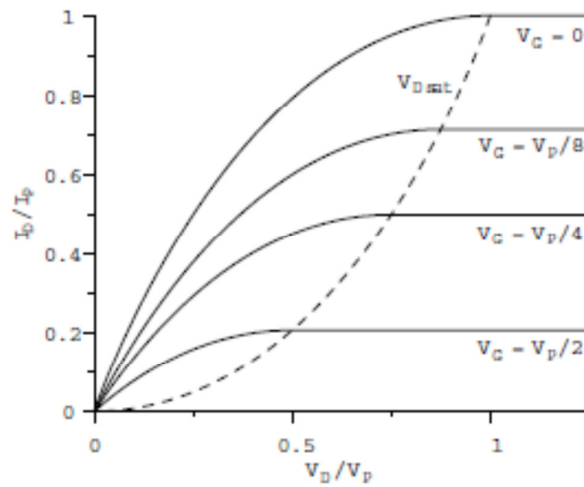


Forma del profilo in funzione di  $V_{DS}$  per  $V_{GS} = 0$ :



Caratteristica del JFET:

$I_D$  vs  $V_D$  normalizzate a  $I_p, V_p$



$$I_D = I_P \left\{ \frac{3V_D}{V_P} - \frac{2}{V_P^{3/2}} \left[ (V_D + V_{GS} + V_{bi})^{3/2} - (V_{GS} + V_{bi})^{3/2} \right] \right\}$$

$I_P$  = Corrente di *pinch-off*

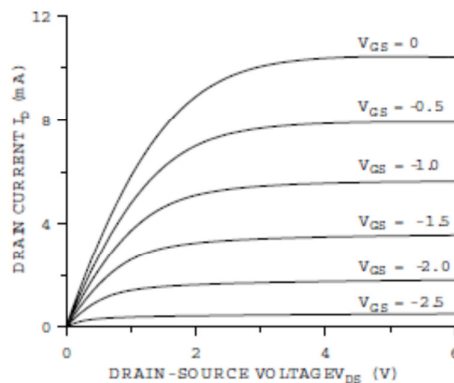
Regione 'ohmica':

$$V_D \ll V_{GS} + V_{bi} \rightarrow I_D \approx I_P \left\{ \frac{3V_D}{V_P} - 3 \left( \frac{V_{GS} + V_{bi}}{V_P} \right)^{3/2} \left[ \left( 1 + \frac{V_D}{V_{GS} + V_{bi}} \right) - 1 \right] \right\}$$

$$\rightarrow I_D \approx 3I_P \left[ 1 - \left( \frac{V_{GS} + V_{bi}}{V_P} \right)^{1/2} \right] \frac{V_D}{V_P}$$

→ Resistenza controllata dalla tensione  $V_{GS}$

Regione di saturazione:



Corrente di saturazione:

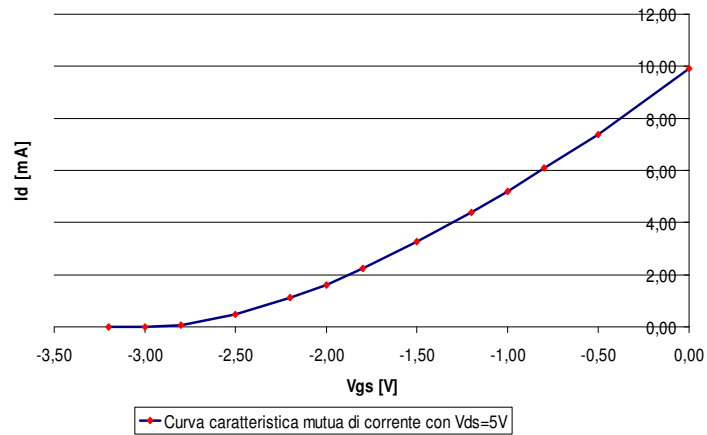
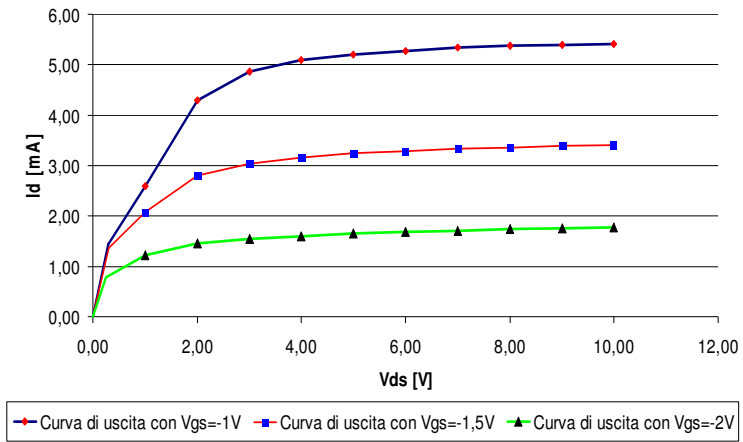
$$I_D = I_{DSS} \left( 1 - \frac{V_{GS} + V_{bi}}{V_P} \right)^2$$

Caratteristiche simili a quelle di un *BJT* → OK per amplificazione

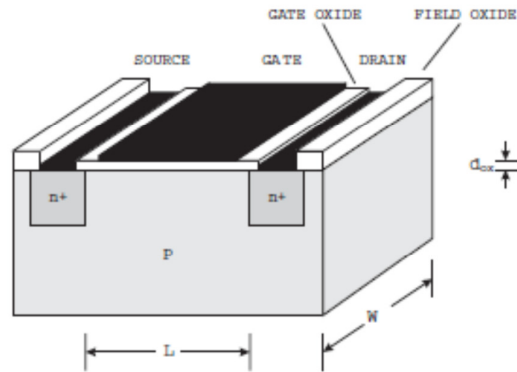
Controllo in tensione ( $V_{GS}$ ) invece che in corrente ( $I_B$ )

Impedenza di ingresso *molto* elevata ( ← giunzione pol. inversamente)

Caratteristiche rilevate da uno studente ~ 20 anni fa:  
JFET 2N4416



# Transistor MOS (MOSFET = Metal Oxide Semiconductor Field Effect Transistor)



Struttura  $\sim$  simile a quella del JFET, ma:

Canale *non* formato al momento della costruzione

$\rightarrow$  In assenza di polarizzazione =  $p$ , come substrato

Gate isolato dal canale da strato di ossido ( $\text{SiO}_2 \sim$  vetro  $\rightarrow$  Isolante)

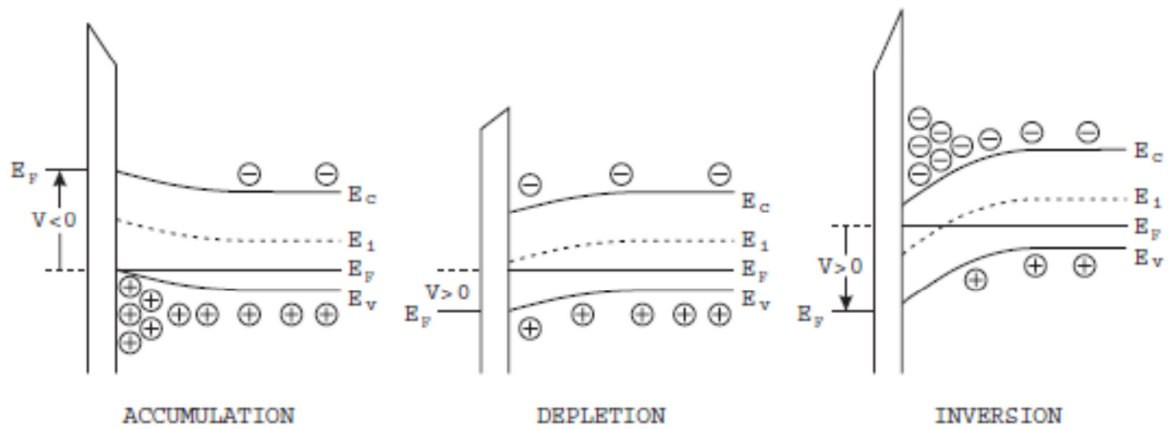
$\rightarrow$  Accoppiamento *capacitivo* gate-canale

Meccanismo (non del tutto ovvio, e non approfondito nel corso):

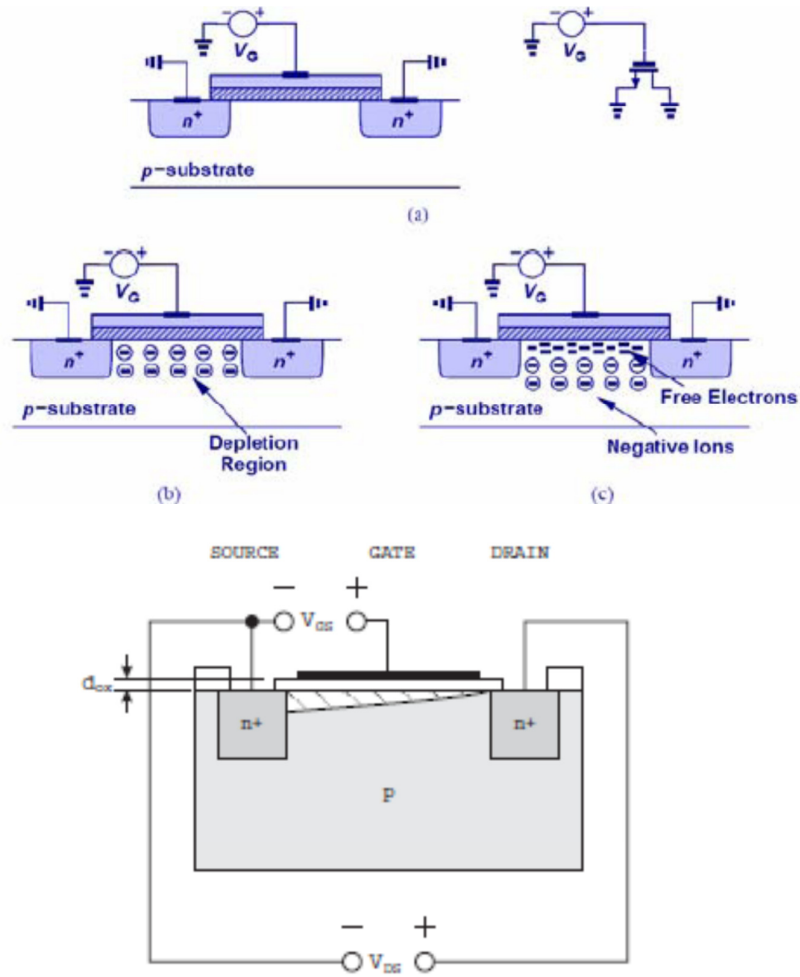
Formazione di uno *strato conduttivo* ( $\leftarrow$  concentrazione di elettroni liberi)

nel canale con applicazione di una tensione +va sul gate

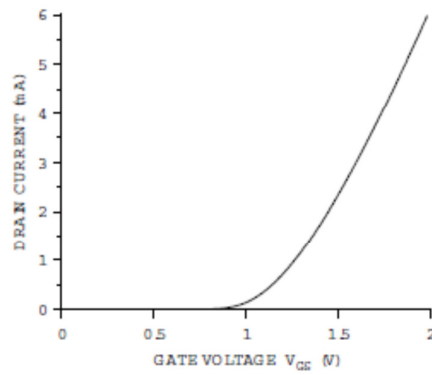
Spostamento dei livelli:

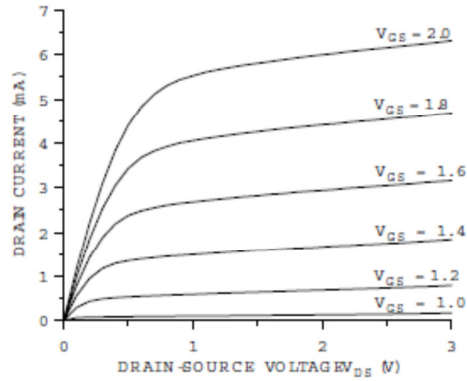


Visualizzazione intuitiva:



Caratteristiche di un MOS:





Corrente di saturazione:

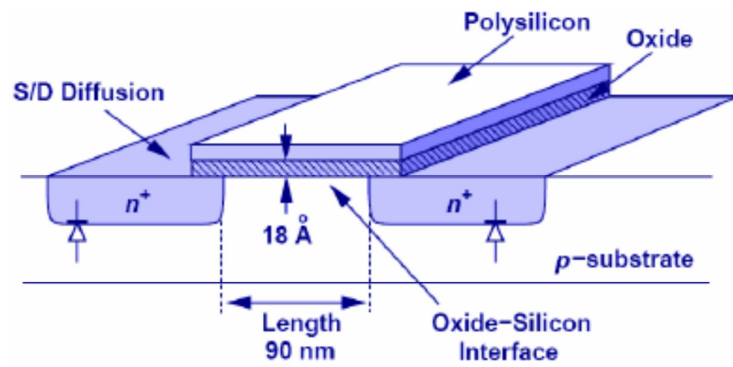
$$I_D = I_{DSS} (V_G - V_T)^2, \quad V_T \text{ tensione di soglia}$$

Confronto BJT vs MOS:

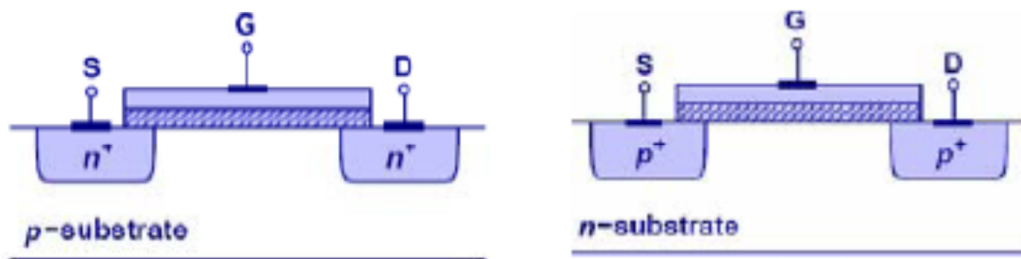
Bipolar Transistor	MOSFET
<p><b>Exponential Characteristic</b>            Active: <math>V_{CB} &gt; 0</math>            Saturation: <math>V_{CB} &lt; 0</math>            Finite Base Current            Early Effect            Diffusion Current            -</p>	<p><b>Quadratic Characteristic</b>            Saturation: <math>V_{DS} &gt; V_{GS} - V_{TH}</math>            Triode: <math>V_{DS} &lt; V_{GS} - V_{TH}</math>            Zero Gate Current            Channel-Length Modulation            Drift Current            Voltage-Dependent Resistor</p>

Note tecnologiche:

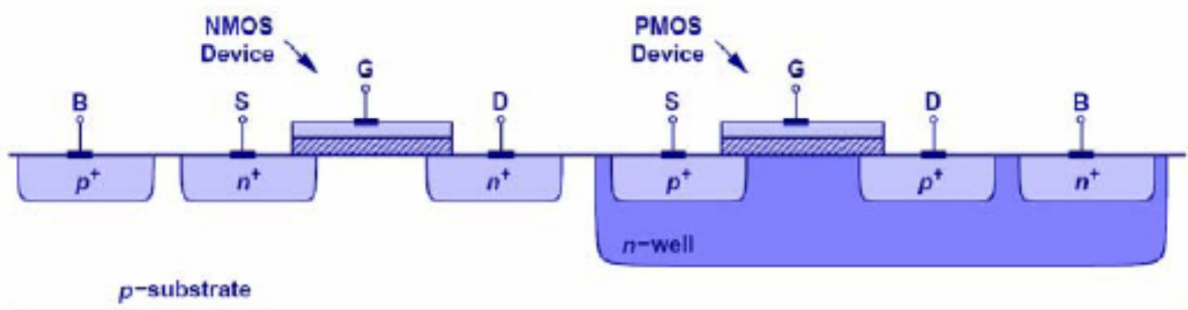
a) Stato dell'arte



b) NMOS & PMOS

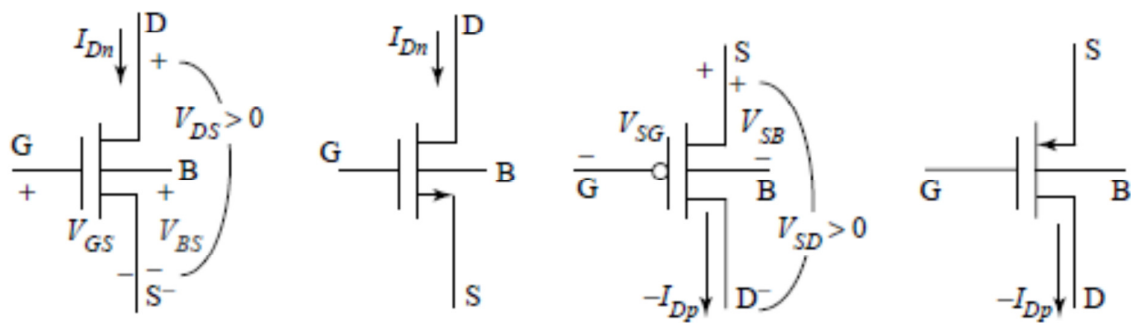
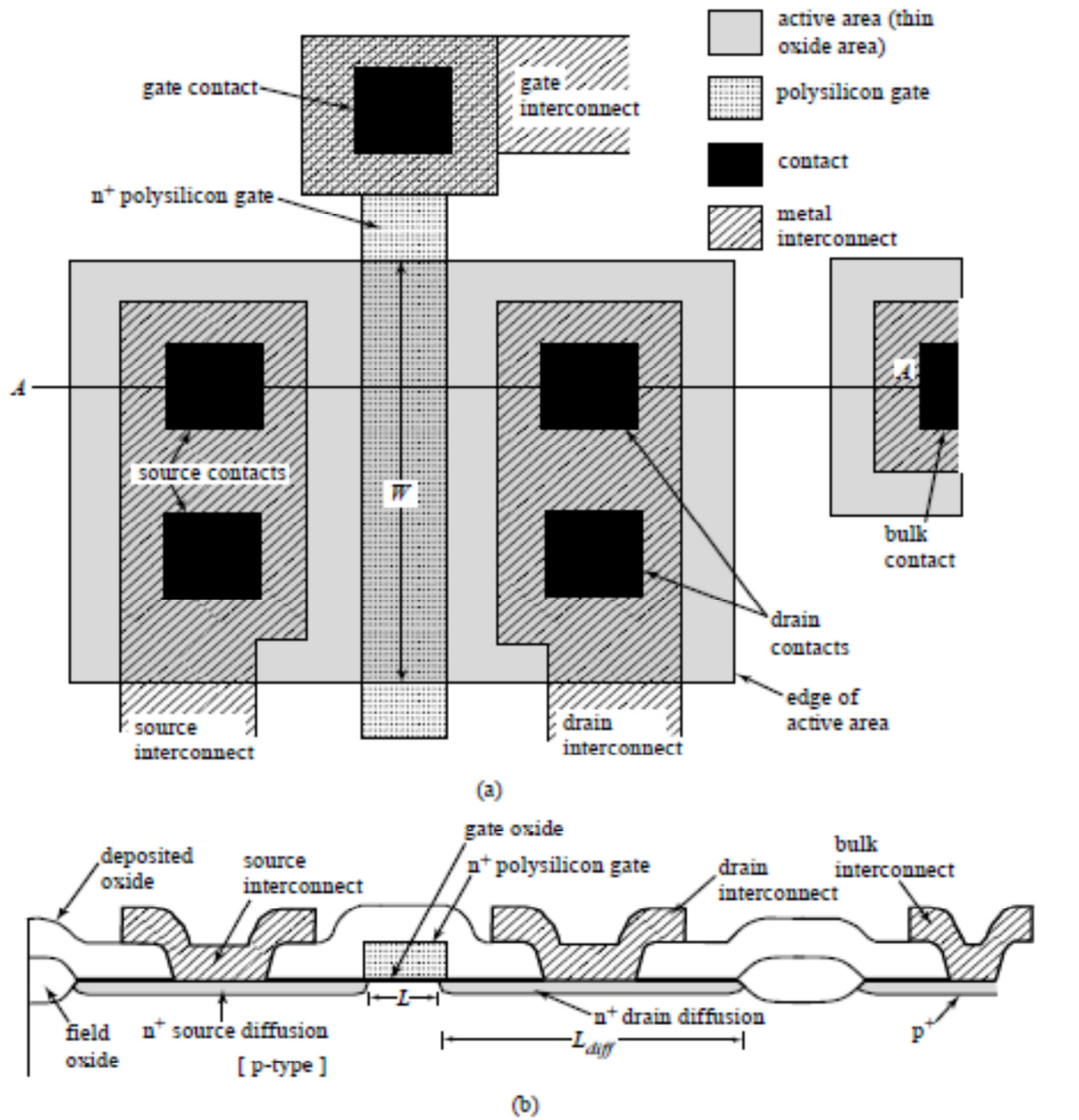


c) Tecnologia CMOS (Complementary MOS):





# MOS : Layout tipico



(a) n-channel MOSFET

(b) p-channel MOSFET