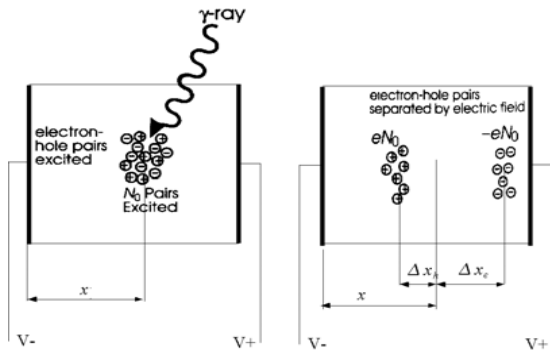


Pixels

Un fotone assorbito da un materiale semiconduttore lascia una nuvola di coppie elettroni-buchi.

Una particella ionizzante che attraversa un materiale semiconduttore lascia una traccia di coppie elettroni-buchi: al minimo di ionizzazione in Si ci sono $80 \text{ e}^-/\mu\text{m}$.



PGI 2005 lect_3 1

Un campo elettrico applicato al semiconduttore

- ne condiziona lo stato, secondo la composizione e la purezza del materiale e secondo la polarità e l'intensità del campo (*depletion*);
- provoca un movimento degli elettroni e dei "buchi" lungo le linee di campo, se $\vec{E} \parallel \vec{B}$, a velocità comparabili.

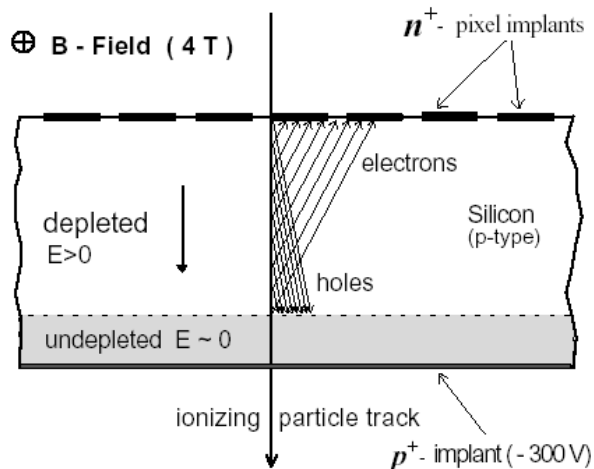
A campi elettrici elevati, superiori a 10^3 V/cm , la velocità di *drift* satura intorno a 10^7 cm/s^{-1} , tanto per gli elettroni quanto per i buchi.

Tanto la raccolta delle cariche sulle facce (conduttrici) del semiconduttore quanto il movimento delle cariche stesse contribuiscono alla formazione degli impulsi, con tempi di salita tipicamente di 10 ns .

In particolare se la superficie è segmentata (*pixels*) si ottiene una proiezione del segmento di traccia sul piano delle *pixels* stesse. Il segnale si ripartisce su gruppi di *pixels* adiacenti (*clusters*)

PGI 2005 lect_3 2

Angolo di Lorentz



PGI 2005 lect_3 3

Pixels costituite da un uno strato di rivelatore e da uno strato separato di materiale semiconduttore che contiene l'elettronica di lettura (*hybrid pixels*) sono la soluzione più frequente (adottata dagli esperimenti LHC).

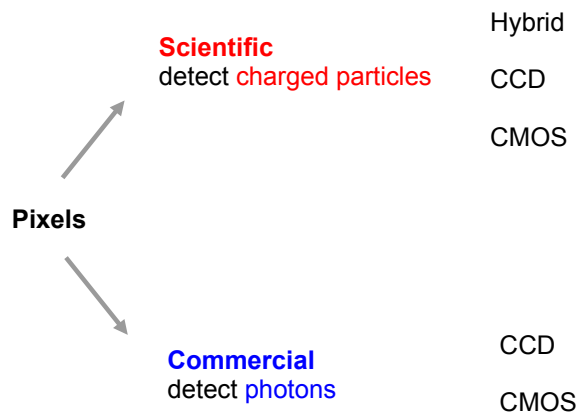
Soluzioni in cui il rivelatore e l'elettronica di lettura coesistono sullo stesso semiconduttore sono possibili, come nel caso di *pixels con lettura CCD* ovvero *pixels con lettura CMOS*.

In generale queste soluzioni *monolitiche* sono più *sottili* e permettono *pixels* più piccole e, nel caso dei CCD, possono fornire più facilmente informazioni sull'ampiezza di impulso.

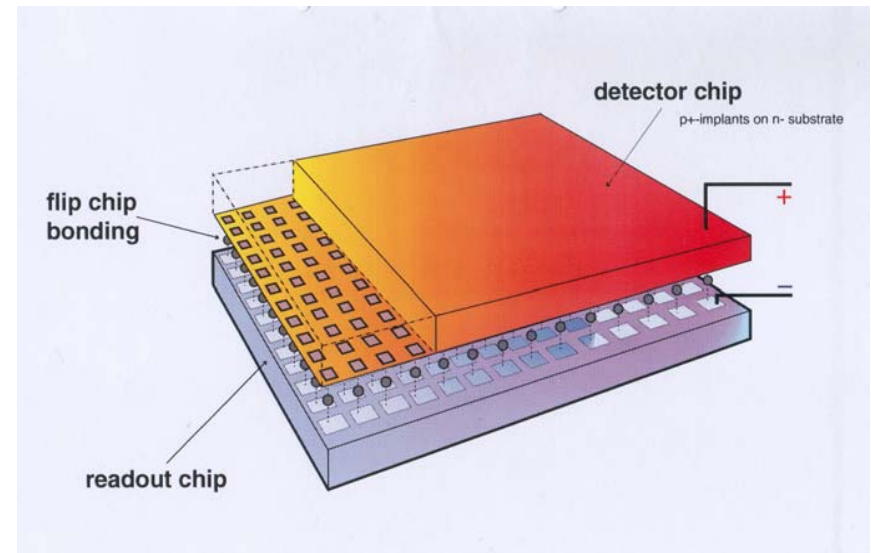
Sono tuttavia meno soddisfacenti rispetto a

- velocità di lettura (per i CCD)
- resistenza alle alte dosi di radiazione, che provocano variazioni delle caratteristiche del substrato e cambiano il comportamento dei componenti elettronici
- complicazioni di montaggio, se necessario lavorare a bassa temperatura.

PGI 2005 lect_3 4



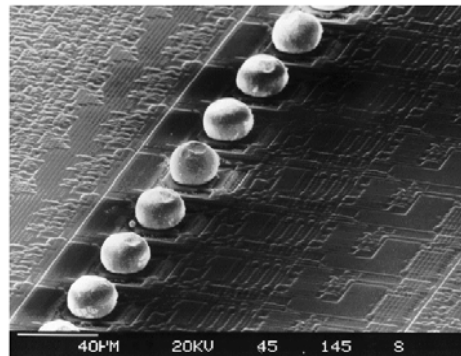
PGI 2005 lect_3 5



PGI 2005 lect_3 6

E' possibile realizzare l'elettronica per la lettura di un canale in dimensioni uguali a una *pixel*. (100 μm x 100 μm): si costruisce (*bump bonding*) un *sandwich* che comprende rivelatore e circuito di lettura. Lo spessore del *sandwich* è dell'ordine di 500 μm di Si. Le dimensioni del *sandwich* sono determinate dalla tecnologia, dell'ordine di 1 cm^2 .

La lettura del sandwich si fa in modo digitale, a soglia. L'architettura di un canale ricalca i principi della lettura di una camera a fili.



PGI 2005 lect_3 7

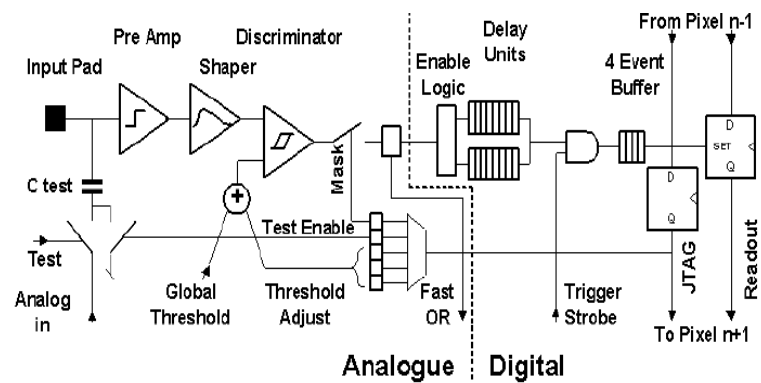
Tuttavia le condizioni sono molto diverse:

- Le condizioni di invecchiamento dei semiconduttori tanto del rivelatore quanto del circuito di lettura sotto azione delle radiazioni impongono criteri di progetto molto tolleranti e possibilità di correggere gli effetti dei cambiamenti di caratteristiche
- Il numero di pixels nel rivelatore può raggiungere 10^8 : spazio, prezzo, dissipazione richiedono l'uso di circuiti relativamente semplici accoppiato alla possibilità di calibrazione e di correzione dei parametri.
- Poche *pixels* sono occupate in un evento: la lettura deve essere multiplexata, all'interno di un *chip* e associando molti *chips*, con soppressione degli zeri.

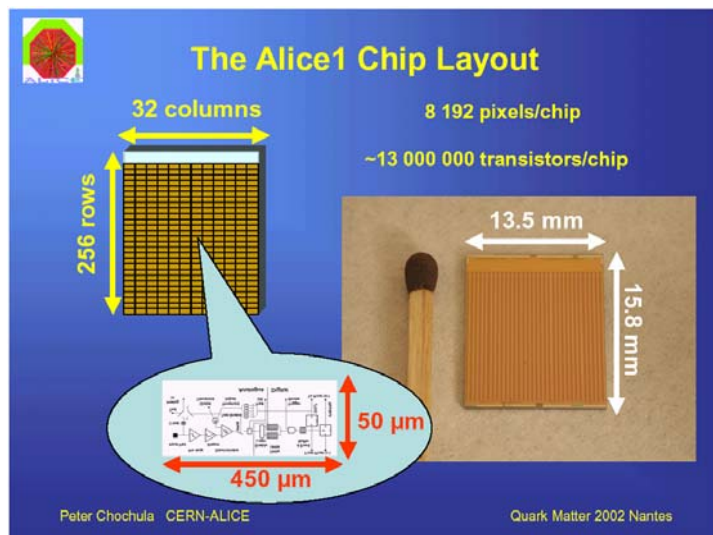
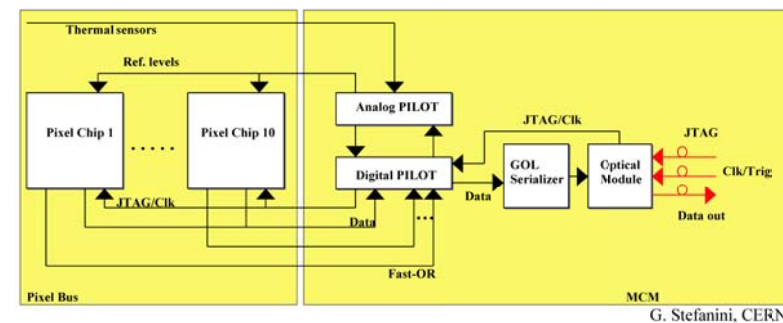
Il tempo di salita del preamplificatore può essere dell'ordine di 20 ns, grazie al tempo di salita rapido del segnale del rivelatore ed alla piccola capacità di ingresso, tipicamente 5fF.

Il ritardo è costruito mettendo in serie i ritardi di una catena di circuiti attivi: quindi è *pipelined* con una granularità compatibile col *pileup* nel discriminatore.

PGI 2005 lect_3 8



Schematic diagram of the Alice1 cell



Caratteristiche del chip ALICE1

- 8192 *pixels* in 2.1 cm²
- Tecnologia CMOS 0.25μm
- *Radiation-tolerant layout*
- Segnali analogici e digitali sullo stesso *chip*
- Rumore : 110 elettroni rms
- Soglia: 1000 elettroni rms
- Consumo: ~900mW

CCD

Nati come memoria analogica:

W. S. Boyle, G. E. Smith, Bell Syst. Tech. J. 49, 587 (1970)

In this paper we describe a new semiconductor device concept. Basically, it consists of storing charge in potential wells created at the surface of a semiconductor and moving the charge (representing information) over the surface by moving the potential minima. We discuss schemes for creating, transferring, and detecting the presence or absence of the charge.

In particular, we consider minority carrier charge storage at the Si-SiO₂ interface of a MOS capacitor. This charge may be transferred to a closely adjacent capacitor on the same substrate by appropriate manipulation of electrode potentials. Examples of possible applications are as a shift register, as an imaging device, as a display device, and in performing logic.

CCD **commerciali** rivelano **fotoni** in fotografia, televisione etc.

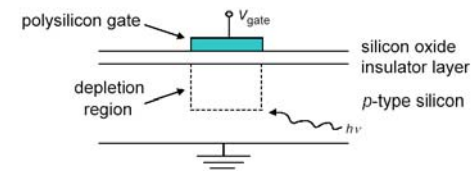
CCD **scientifici** rivelano **particelle cariche** in HEP
es. rivelatore di vertice all'SLC

PGI 2005 lect_3 13

CCD Charge Collection

The basic element of a CCD is a Metal-Oxide-Semiconductor (MOS) capacitor.

- Voltage applied to the gate repels holes, creating a depletion region.
- Photon absorbed in the silicon layer creates an electron-hole pair.
- The depletion region acts as a "potential well" that collects electrons. Well capacity is proportional to the applied voltage, silicon layer thickness, and gate electrode area (**well capacity = # of electrons that can be stored**).

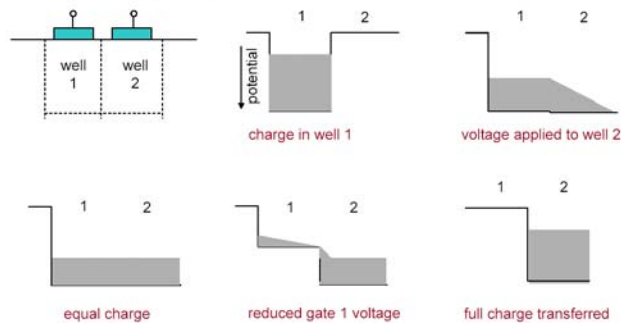


85

PGI 2005 lect_3 14

CCD Charge Transfer

Once electrons are collected in a MOS capacitor, the charge is transferred from one gate to the next, until it reaches the readout.

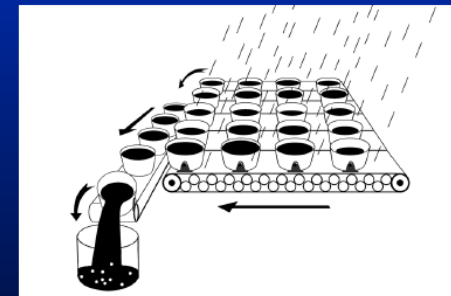


Adapted from G. C. Holst, CCD Arrays, Cameras, and Displays, SPIE, 2001

86

PGI 2005 lect_3 15

Basic CCD Theory



- Raindrops = Photons
- Buckets = Pixel
- Conveyor Belts = CCD Shift Register
- Metering Glass = Sense Capacitor

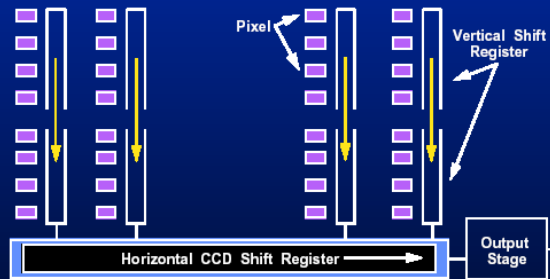
S. Baier
Lecture 3: CCDs

7.3

PGI 2005 lect_3 16

Basic CCD Theory

The CCD Array Configuration



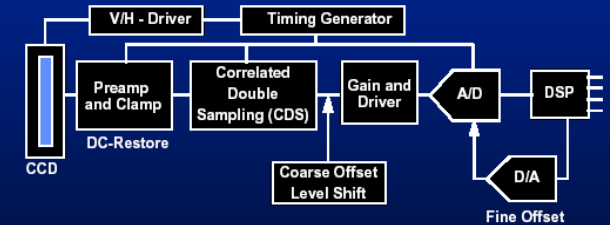
S. Baier
SLURP - SNOWMASS

7.4

PGI 2005 lect_3 17

CCD Imaging System

Typical Block Diagram



S. Baier
SLURP - SNOWMASS

7.2

PGI 2005 lect_3 18

CCD Principles

CCD Vertex Detectors

CCDs were invented more than 30 years ago:
W.S. Boyle, G.E. Smith, Bell Syst. Tech. J. 49, 587 (1970)

Their use as particle detectors was first proposed more than 20 years ago:
C.J.S. Damerell et al., Nucl. Inst. and Meth. 185, 33 (1981)

The most advantageous feature of the CCD for particle detection is the highly segmented pixel structure ($20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$) when charge sharing between pixels is used to optimize position resolution, better than $4\text{ }\mu\text{m}$ resolution has been achieved in a large system (307,000,000 pixels) operating for years

The most limiting feature is the relatively slow readout speed:
eg. about 100 msec is required to read out a large detector
(Linear Collider well matched to this speed.
Note: > 1000x faster readout is under development)

J. Brau, Snowmass, July 11, 2001

3

PGI 2005 lect_3 19

CCD Charge Collection

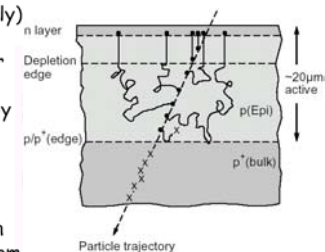
CCD Vertex Detectors

Charge collection principles

n^+ on p-type substrate (usually)

lightly doped epitaxial p layer
heavily doped p^+ substrate
top $\sim 1\text{ }\mu\text{m}$ of p layer doped by ion implantation (n^+)

depletion region ($\sim 5\text{ }\mu\text{m}$)
charge drifts directly
charge in undepleted p region
diffuses, and reflects from
 p/p^+ edge, eventually collected

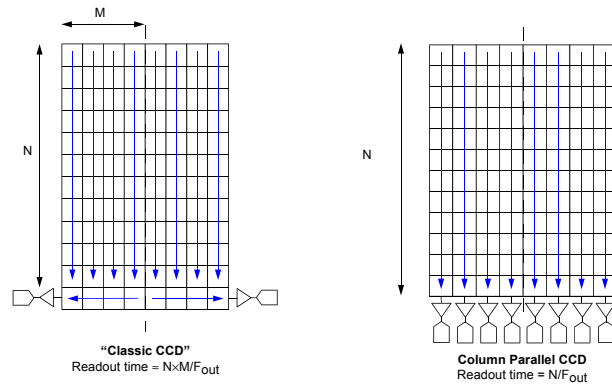


J. Brau, Snowmass, July 11, 2001

5

PGI 2005 lect_3 20

CCD signal storage and sensing:



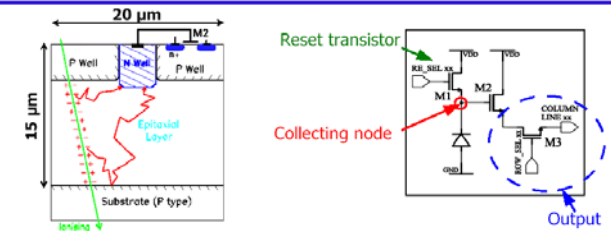
Jan 13 2004

C. Damerell LC technologies LBL

22

PGI 2005 lect_3 21

CMOS sensors for the VXD at the ILC



- ...also known as **Monolithic Active Pixel Sensors (MAPS)**
- CMOS process with epitaxial layer (large scale availability)
- Pixel pitch $\sim 20\ \mu\text{m}$. Position resolution proved down to $\sim 1.5\ \mu\text{m}$
- Charge collection by thermal diffusion (collection times $< 100\ \text{nsec}$)
- Integration of read-out electronics on the same sensor substrate
- Thinning possible down to epilayer (low material budget)

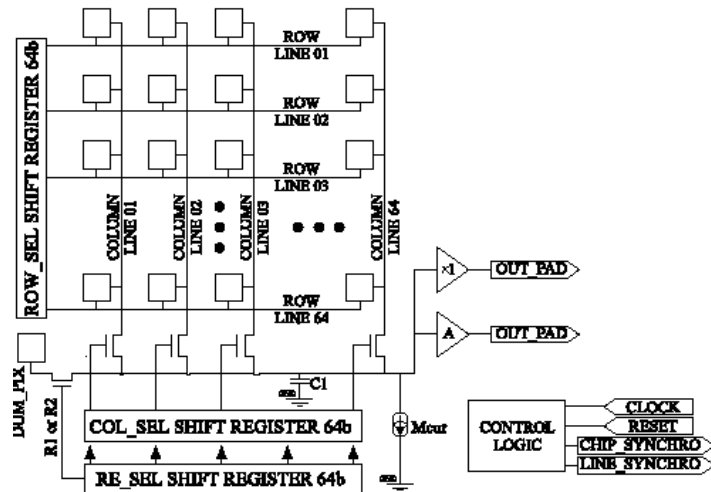


Devis Contarato, Beam-test of CMOS sensors with 6 GeV electrons at DESY

LCWS 05
Stanford, 18-22 March 2005

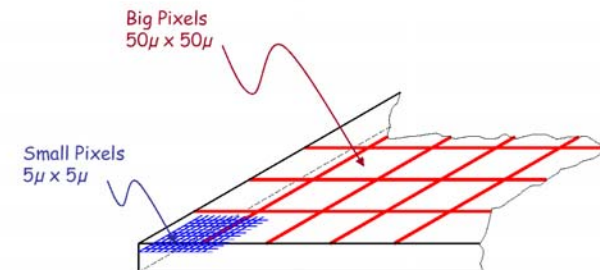


PGI 2005 lect_3 22



PGI 2005 lect_3 23

Monolithic CMOS Pixel Detectors



C. Baltay, LCWS 05

Two active particle sensitive layers:

Big Pixels - High Speed Array - Hit trigger, time of hit
Small Pixels - High Resolution Array - Precise x,y position, intensity

3/19/05

PGI 2005 lect_3 24

Referenze

- G. F. Knoll, Radiation Detection and Measurements, 3rd ed., Wiley 2000
- CMS - The Tracker Project Technical Design Report, CERN/LHCC 98-6, Chapter 2
http://cmsdoc.cern.ch/ftp/TDR/TRACKER/final/chapters/tdr_ch2.pdf
- ALICE - Inner Tracking System Technical Design Report (ITS), CERN-LHCC 99-12
<https://edms.cern.ch/file/398932/1/TDR.pdf>
- S. Baier, CCD Imaging Systems, Burr Brown Corp.,
<http://www.web-ee.com/primers/files/DesignSem7.pdf>
- J. Brau, CCD Vertex Detectors, Snowmass 2001
<http://physics.uoregon.edu/~jimbrau/LC/ccd-tutorial.PDF>
- D. Contarato, Beam-test of CMOS sensors with 6 GeV electrons at DESY,
http://www.linearcollider.ca/lcws05/h/LCWS05_VTX_contarato.pdf
- C Baltay, Monolithic CMOS Pixel Detectors for ILC Vertex Detection,
http://www.linearcollider.ca/lcws05/h/LCWS05_VTX_Baltay.pdf

PGI 2005 lect_3 25

Commenti su VLSI e FPGA

Very Large Scale Integration, VLSI

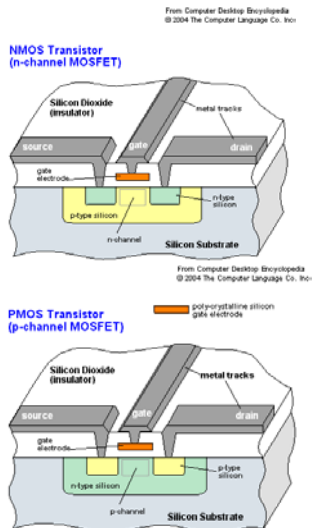
Essenziale per gli **ASICs** (*Application Specific Integrated Circuits*) dei rivelatori di particelle.

• Tecnologia e Processo

per esempio **CMOS** *Complementary Metal Oxide Semiconductor*
Bipolar
SoI *Silicon on Insulator* etc.

- **Feature size:** oggi in HEP 0.25 μm
 nel 2006 sul mercato 0.065 μm
- **Wafer:** da 6 a 10 pollici
- **Materiale:** (Ge), **Si**, **GaAs**, CdTe etc.

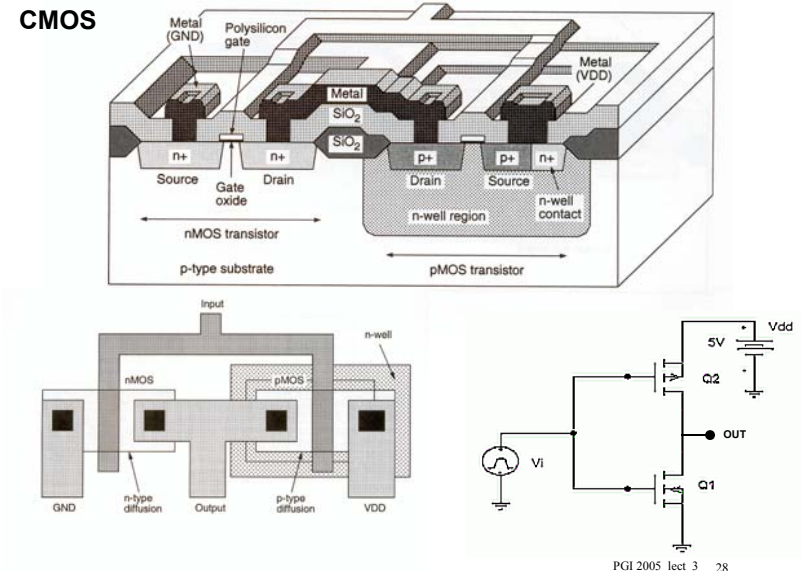
PGI 2005 lect_3 26



NMOS e PMOS Field Effect Transistors (FET) in un chip

Quando si applica una tensione all'elettrodo di controllo (*gate*), il campo elettrico nel "canale" sottostante permette la conduzione tra sorgente (*source*) e drenaggio (*drain*)

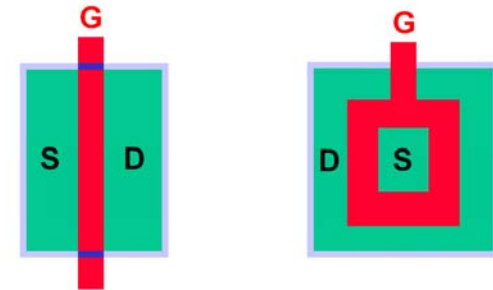
PGI 2005 lect_3 27



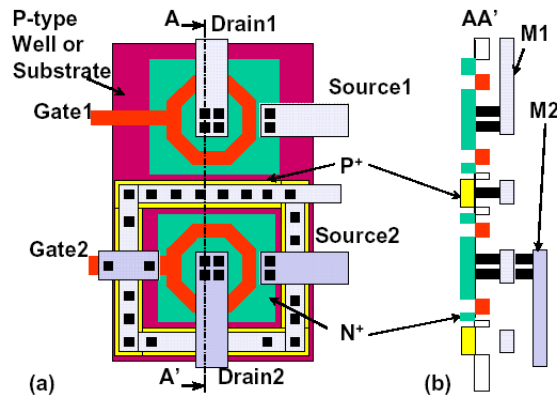
PGI 2005 lect_3 28

- **Litografia** dipende dalle dimensioni degli elementi (*feature size*)
la luce blu ha lunghezza d'onda intorno a $0.4 \mu\text{m}$!
- **Numero di strati** e loro caratteristiche: metallo, ossido, polisilicio etc.
- **Drogaggio**
- **Design rules** sono tipiche del processo e definiscono le "strutture" di base
possono permettere effetti speciali, come *enclosed layout transistor (ELT)* per migliorare la tenuta alle radiazioni
sono confidenziali o (semi)-pubbliche)
- **CAD** deve accettare le *design rules* e produrre un *file* compatibile colla fonderia (*foundry*)

Enclosed Layout Transistor (ELT)



ELTs solve the leakage problem in the NMOS transistors
At the circuit level, guard rings are necessary



- **Prototipi** *multiproject* se ci si può associare con altri clienti per un *run*
altrimenti si deve pagare un *run* da soli $\sim 100 \text{ k\$}$
- **Test structures** sono aggiunte su ogni *wafer* per verificarne la qualità
- **Trasferimento tra fabbricanti** (*foundries*): in generale problematico.

esempio: importare un ADC disegnato e venduto dal fabbricante A su un *chip* che sarà prodotto dalla fonderia B
- **Durata di vita** qualche anno, dipende dal mercato

Field Programmable Gate Array, FPGA

Forniscono elementi di trattamento logico, e in certi casi numerico, nel processo di acquisizione dati, senza dover ricorrere a logica progettata espressamente per la funzione richiesta.

Sono di solito realizzate in tecnologia CMOS e funzionano a frequenza di orologio fino a centinaia di Mhz.

Le funzioni realizzate più comunemente sono:

- Filtri digitali, tanto FIR quanto IIR
- *Pattern recognition* elementare (locale)
- Calibrazione, statica o dinamica

Referenze

VLSI Per tecniche di progetto e verifica usate nei circuiti per la fisica delle particelle, vedere le lezioni di P. Moreira, J. Christiansen, G. Anelli e A. Marchioro in:

- ELEC 2005, Electronics in High Energy Physics:

<http://humanresources.web.cern.ch/humanresources/external/training/tech/special/ELEC2005.asp#Winter>

Per circuiti resistenti alle radiazioni:

- M. Manghisoni, Processi CMOS submicrometrici, resistenza alle radiazioni, INFN-Pavia, Ott. 2004

http://www.pv.infn.it/~cecco/infn/infn/corel/RESIS_RADIAZIONE.PDF

FPGA S. Haas, ELEC 2005, Electronics in High Energy Physics:

<http://humanresources.web.cern.ch/humanresources/external/training/tech/special/ELEC2005.asp#Winter>

S. Brown and J. Rose, Architecture of FPGAs and CPLDs: A Tutorial, IEEE Design and Test of Computers, Vol. 12 No. 2, 1996, pp42-57, <http://www.eecg.toronto.edu/~jayar/pubs/brown/survey.pdf>

Una **FPGA**
(Field Programmable Gate Array)
semplice contiene:

- unità di ingresso/uscita,
- piccole matrici per interconnessioni programmabili
- blocchi per funzioni logiche anche complesse

